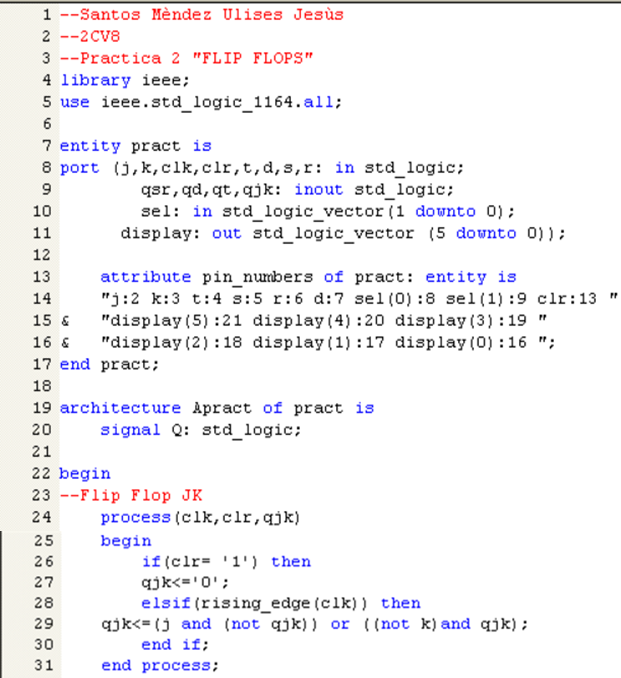
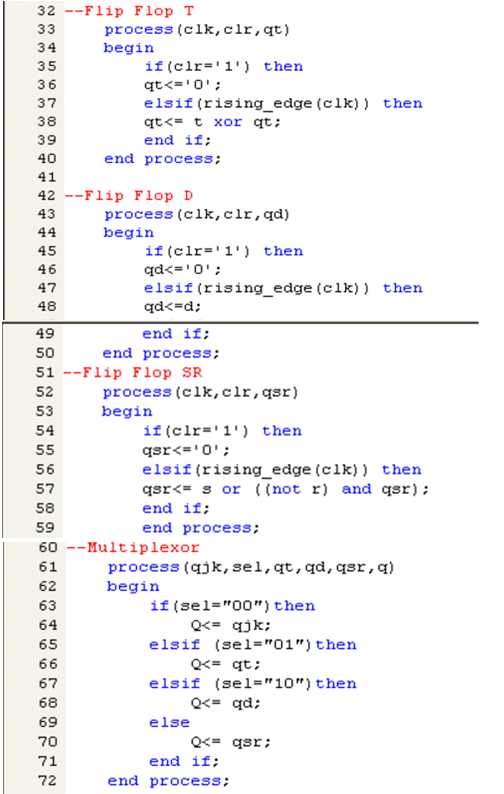
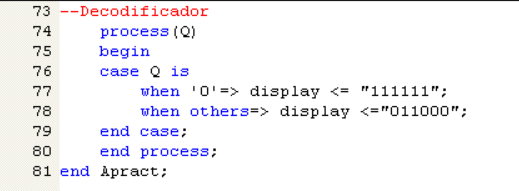
PRÁCTICA 2: “ FLIP FLOPS”

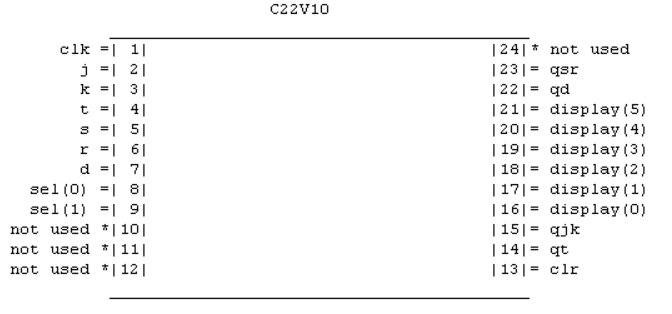
**Código VHDL**





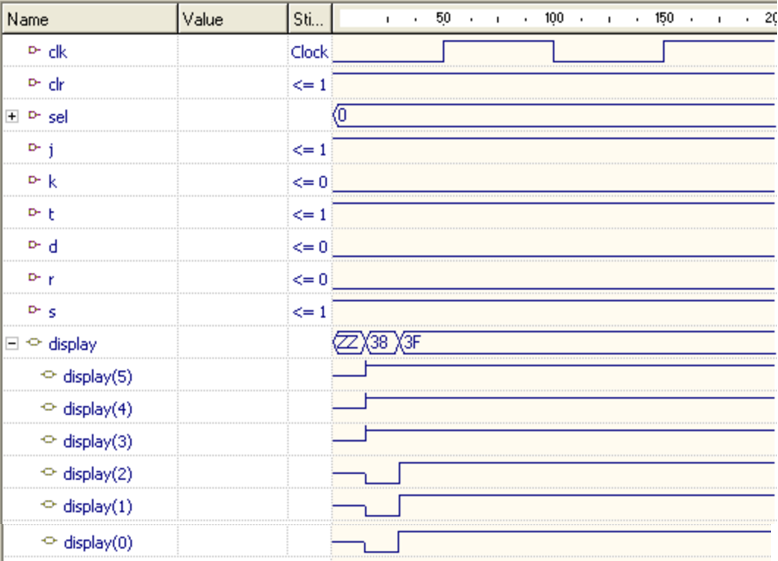


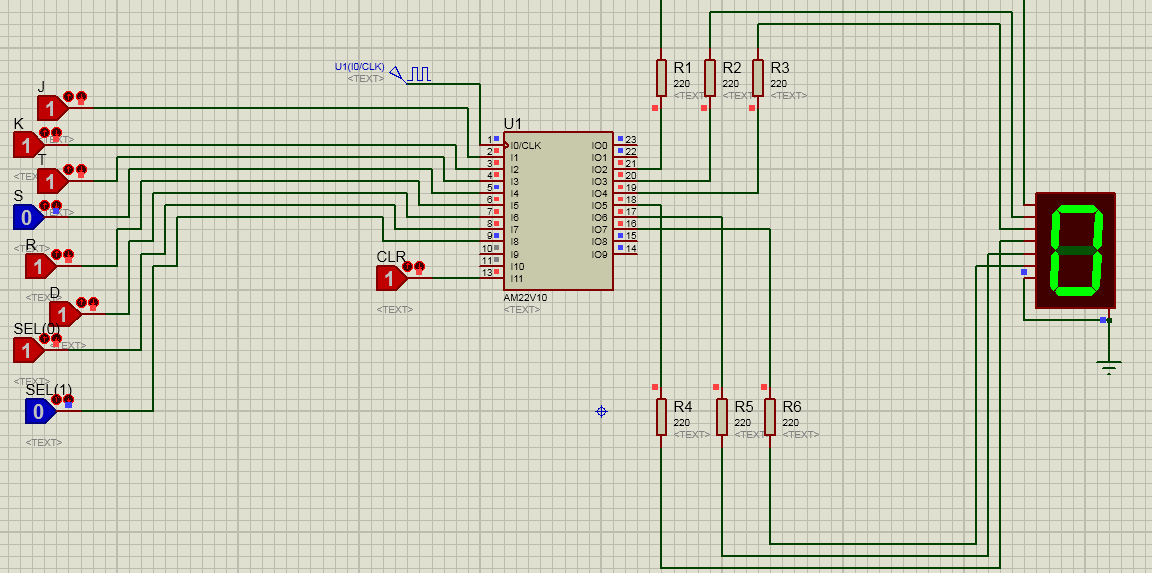
**Diagrama de pines del PALCE22V10-15PC (.rpt)**



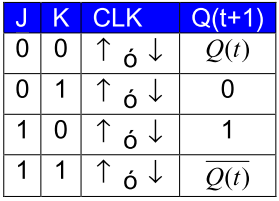
**Simulación en Active-HDL Sim y Proteus**

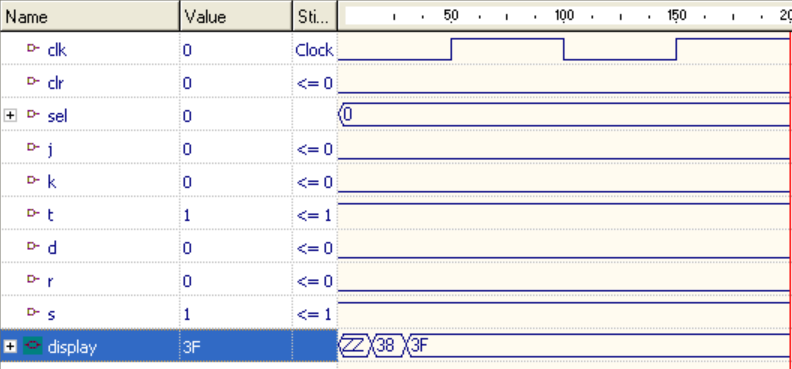
1. **Caso donde clear está en 1: No importa que valor se introduzca en las entradas y que se seleccione, nuestro resultado será 0.**

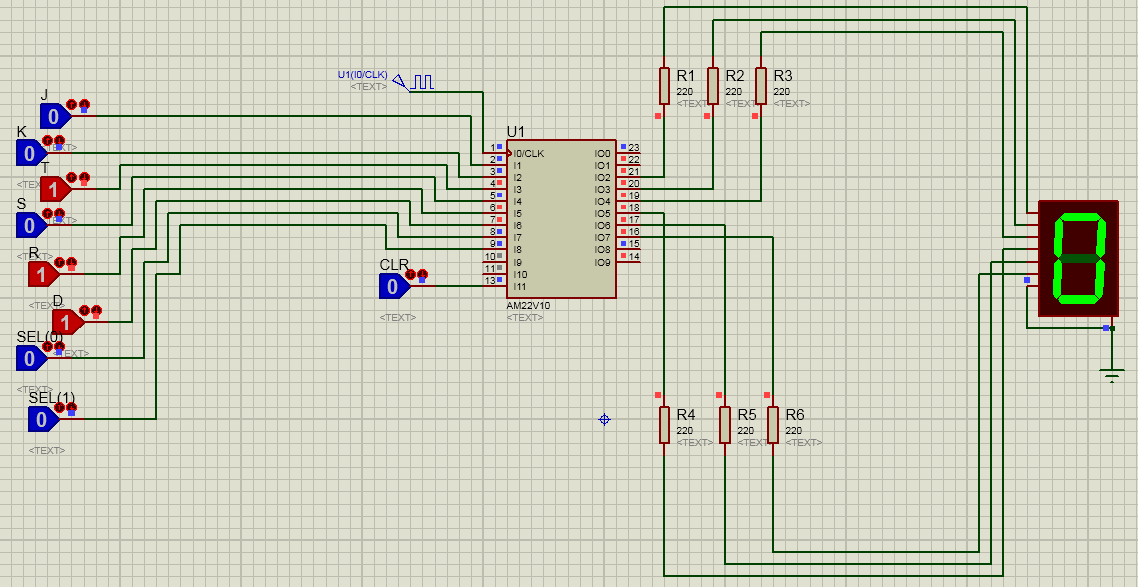


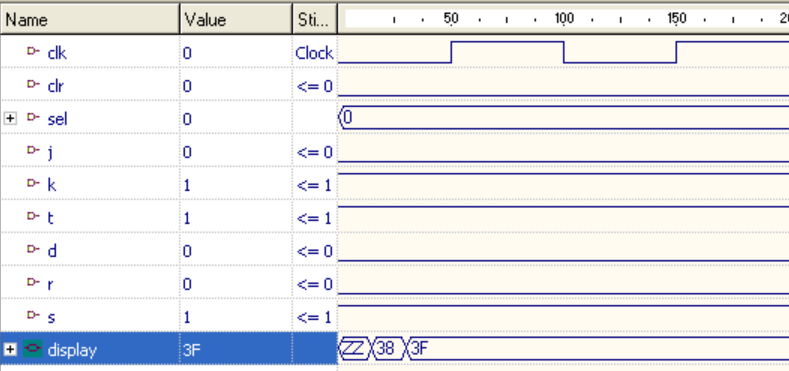


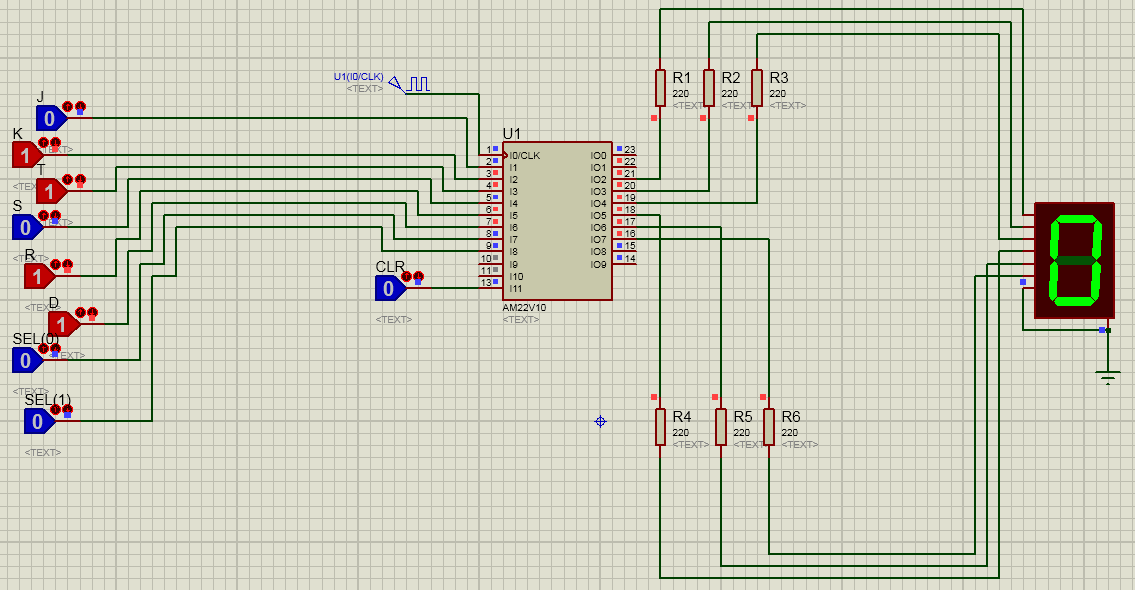
1. **Se comprueba la tabla de verdad del flip flop JK**

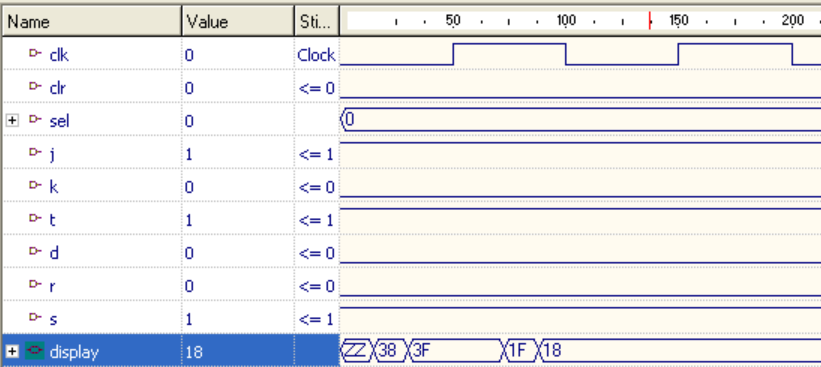


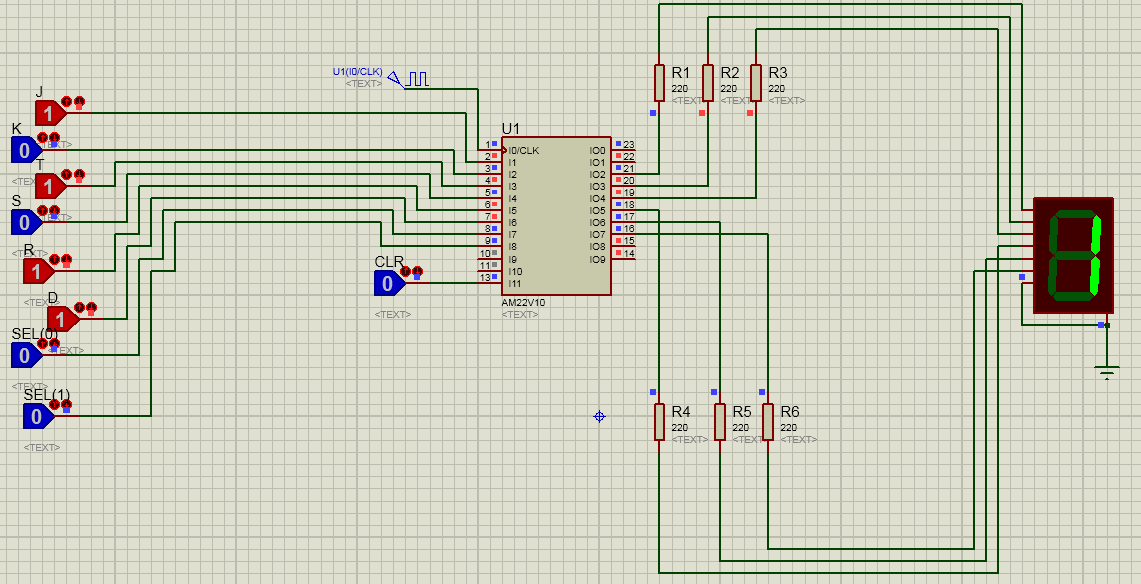


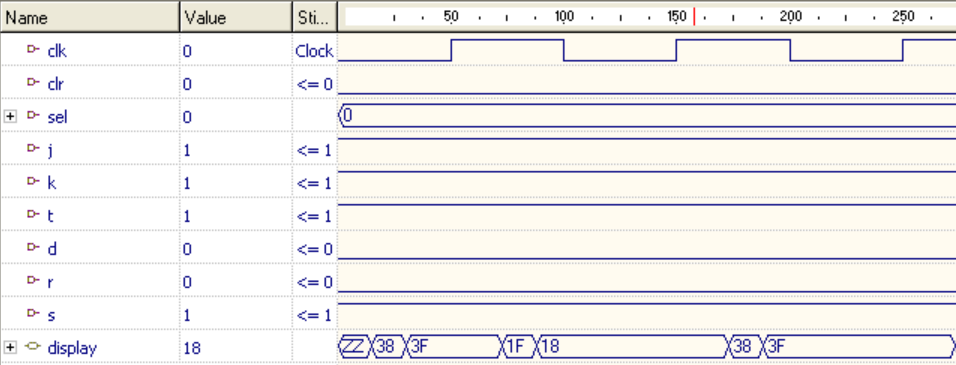


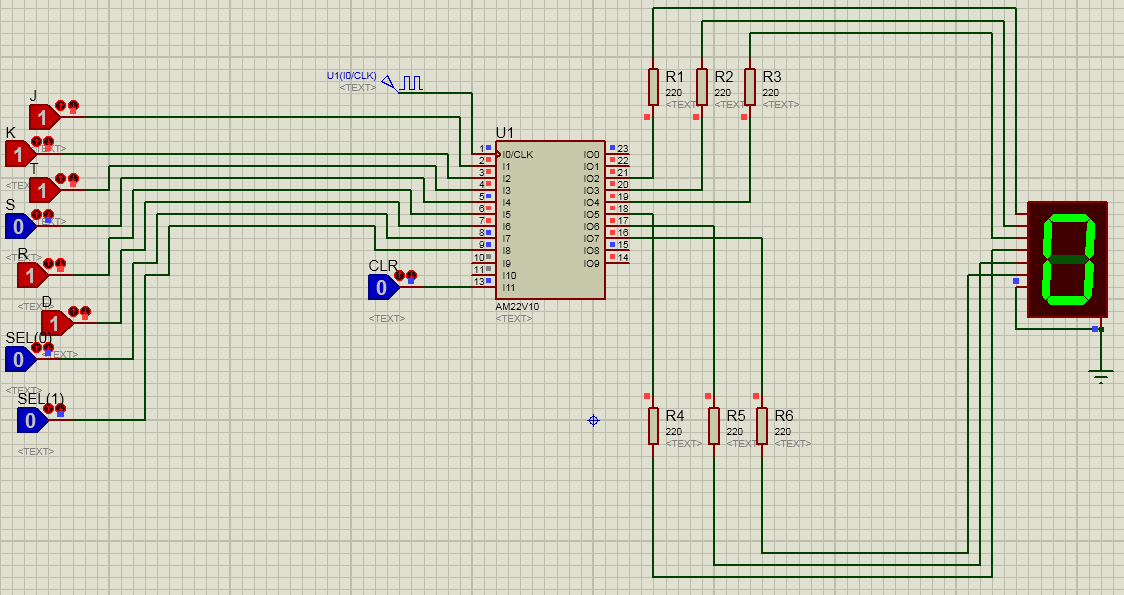






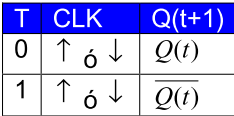


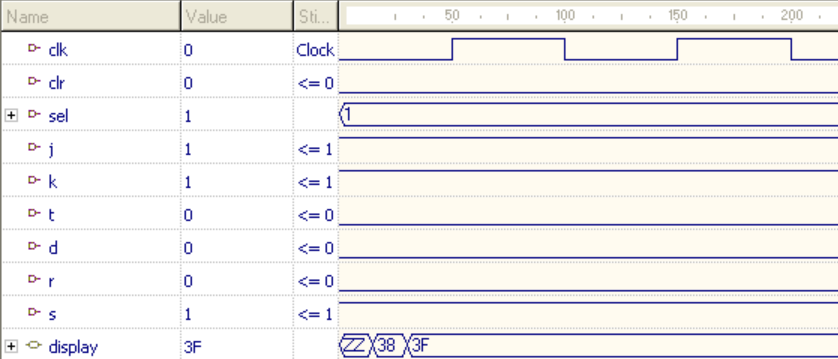


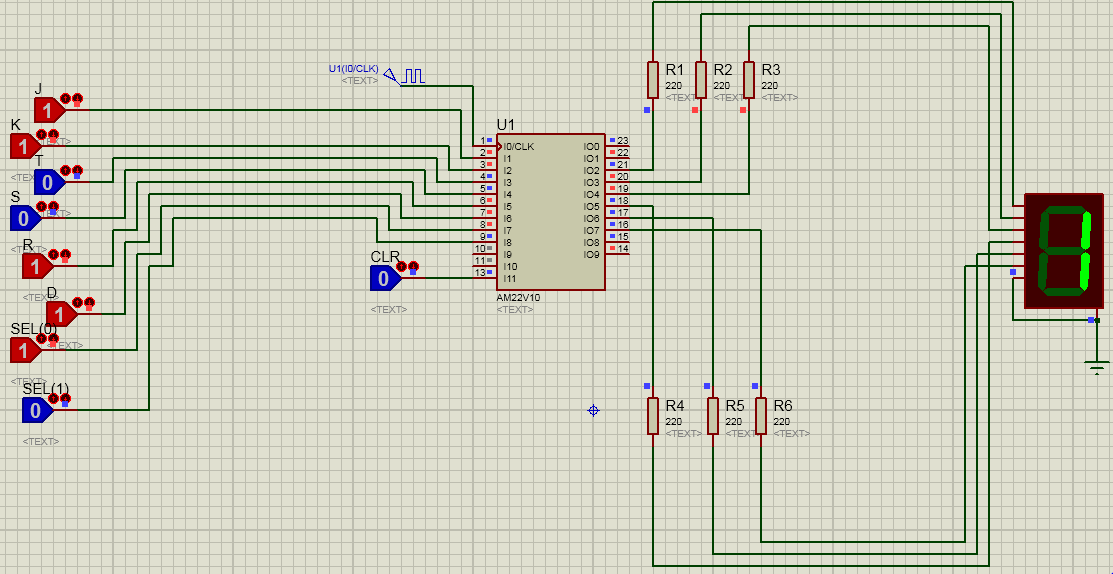


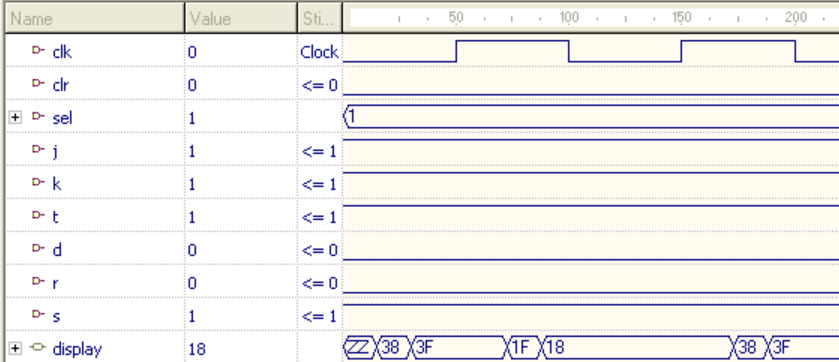
Presento oscilaciones el display en 1 y 0 y eso se debe a que en la tabla de estados y excitación el comportamiento depende mucho de Q(t) y será diferente en Q(t+1).

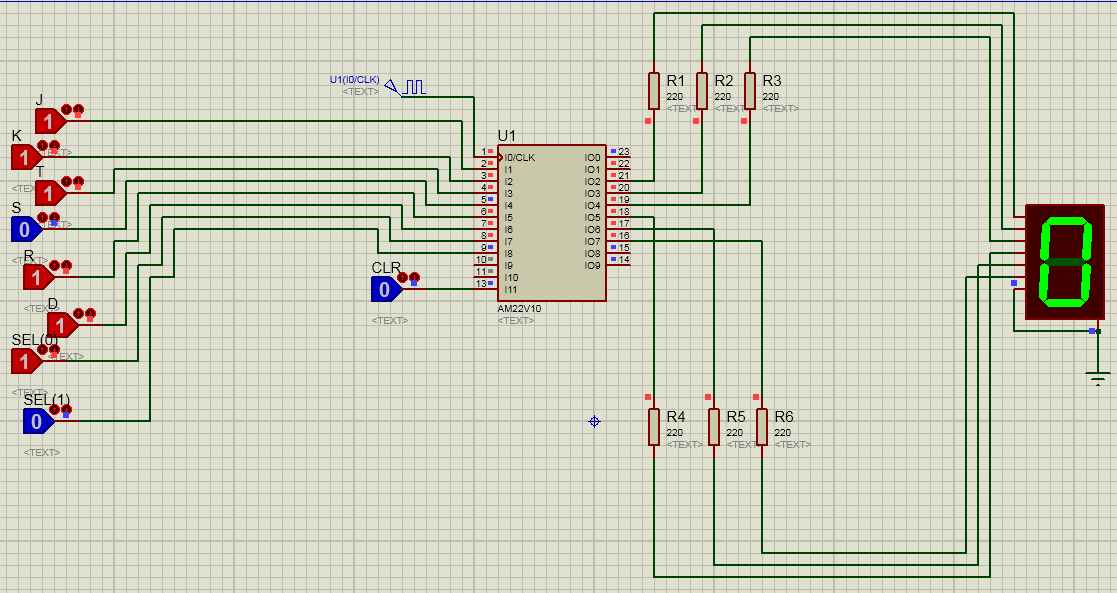
1. **Se comprueba la tabla de verdad del Flip Flop T**





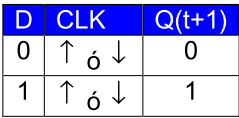


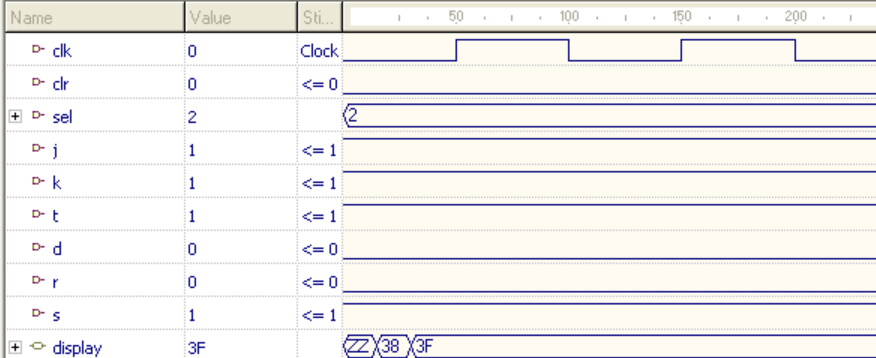


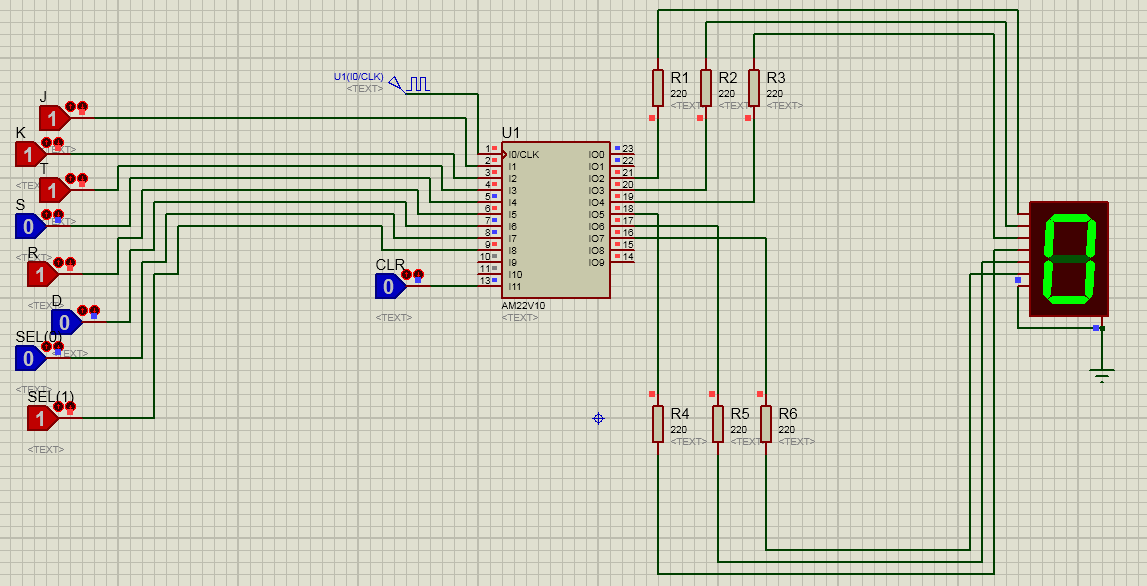


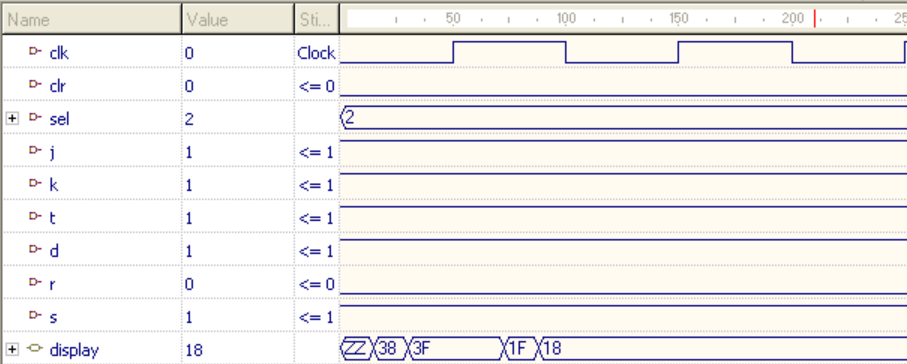
El Flip Flop tipo T también oscila debido a que dependiendo del pulso que se encuentre y de Q(t) se verá reflejado en Q(t+1).

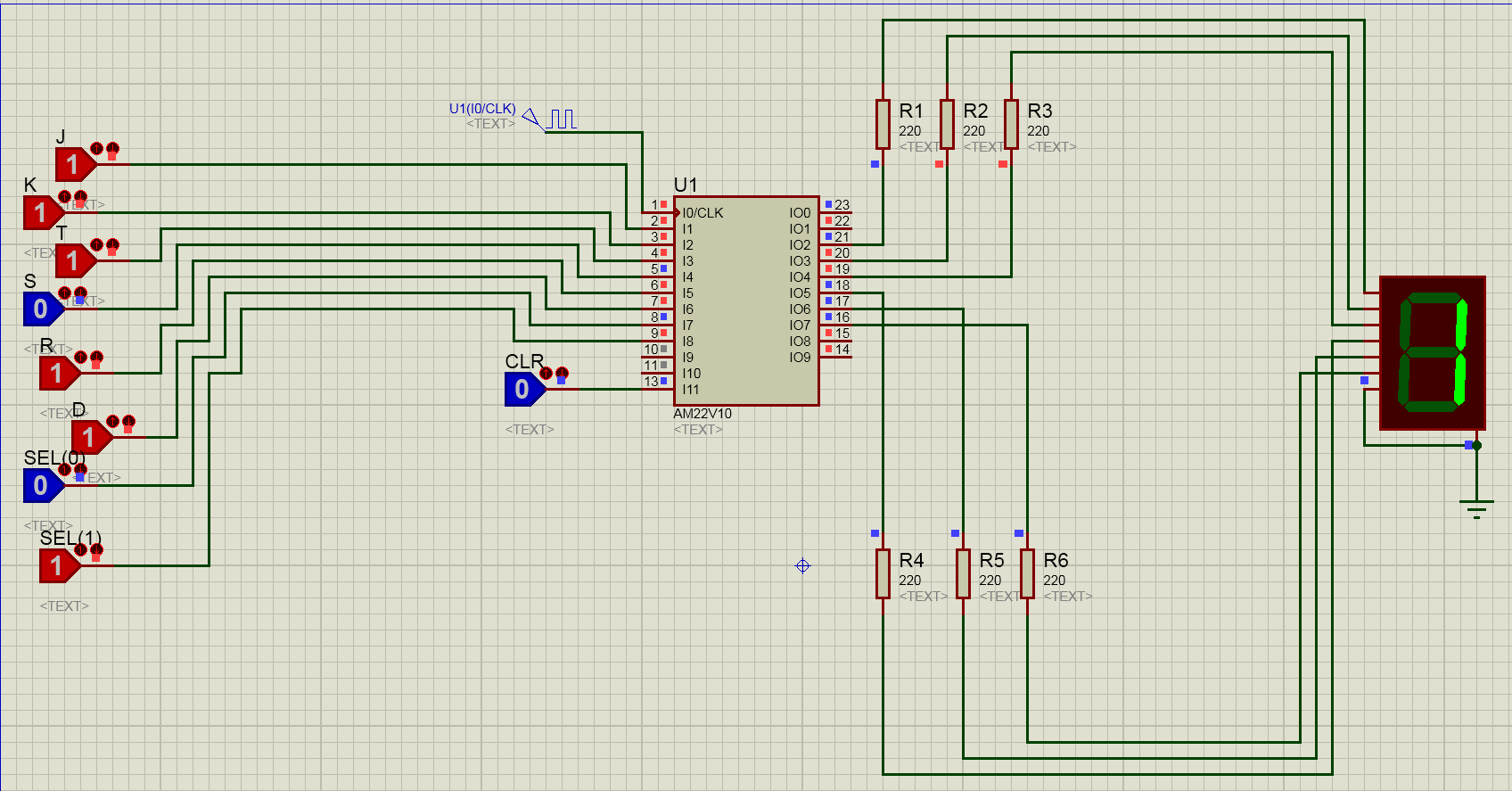
1. **Se comprueba la tabla de verdad del Flip Flop D**



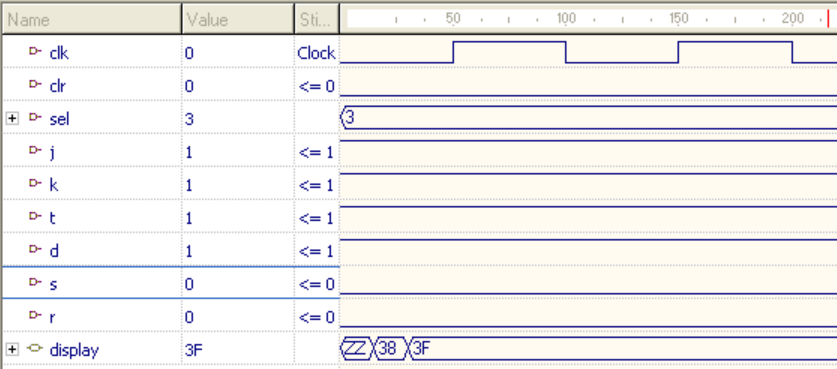


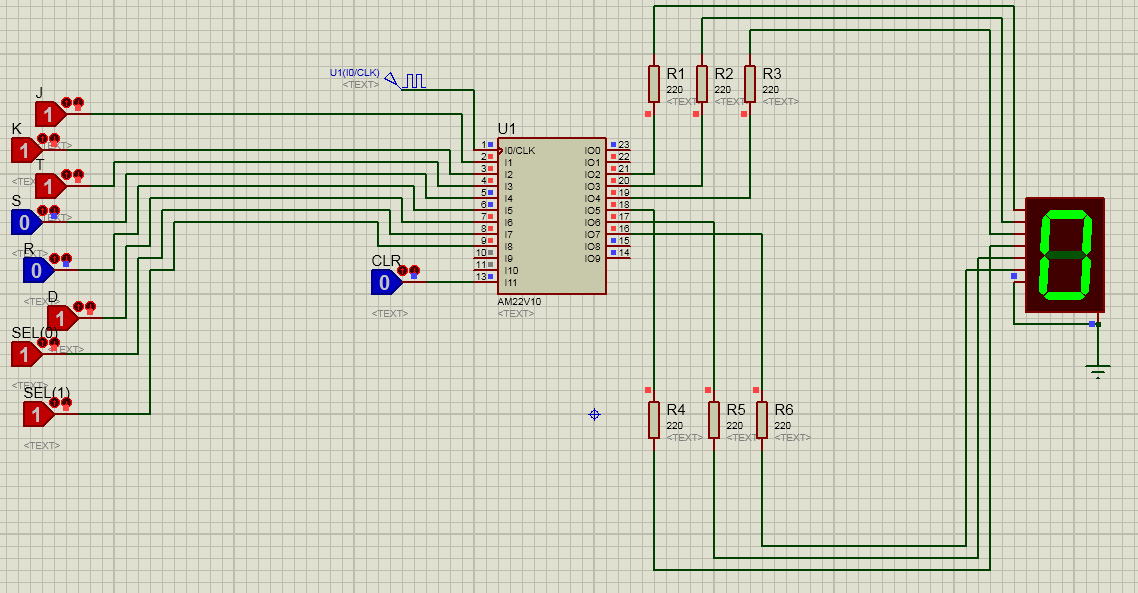


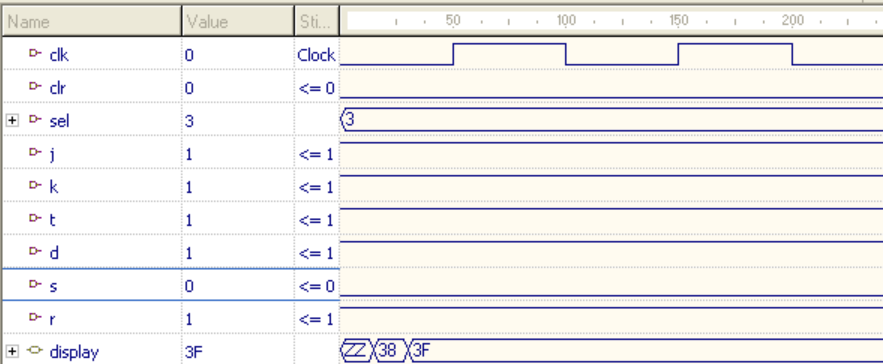


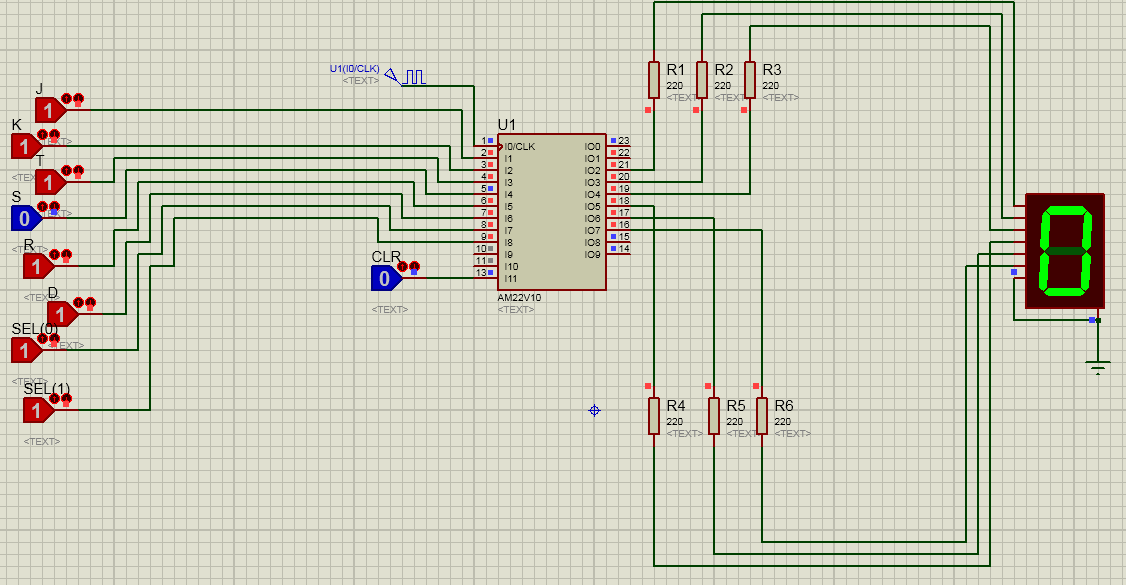


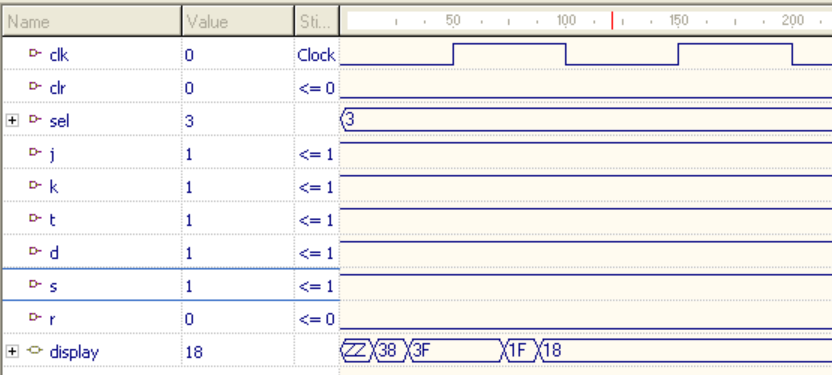
1. **Se comprueba la tabla de verdad del Flip Flop RS**

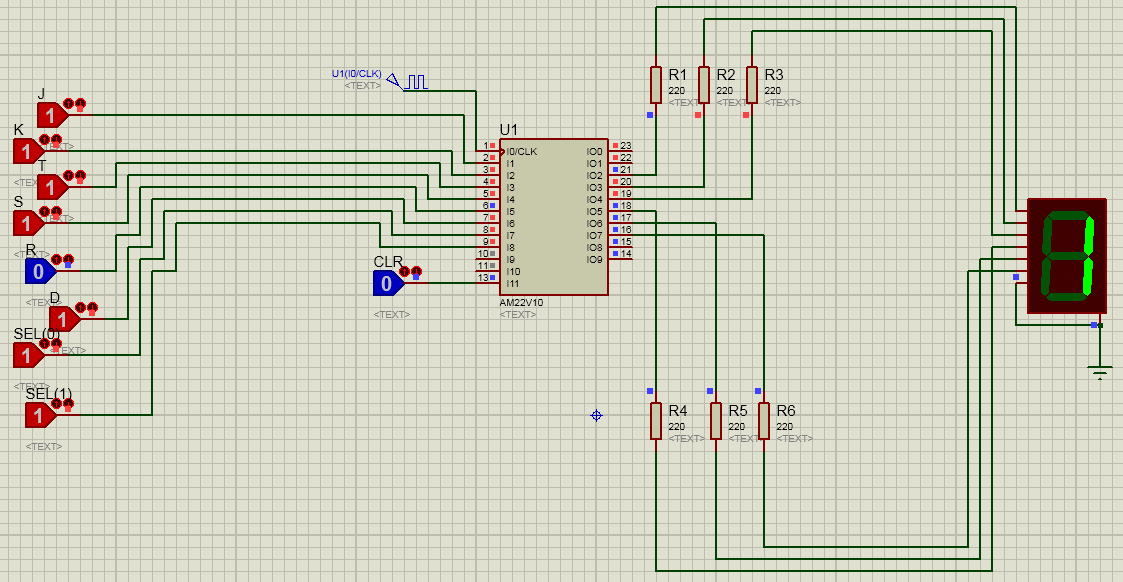


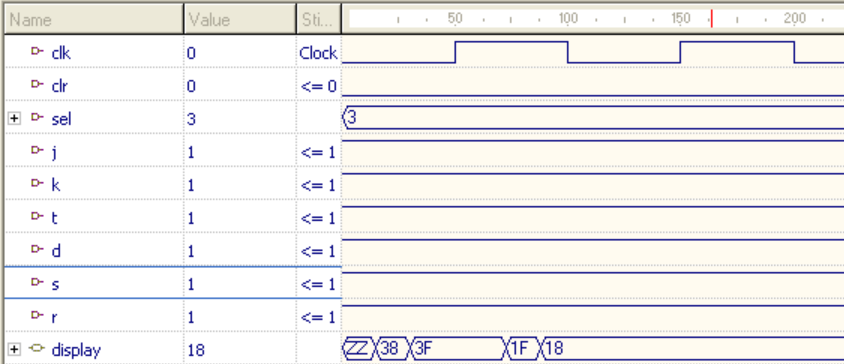


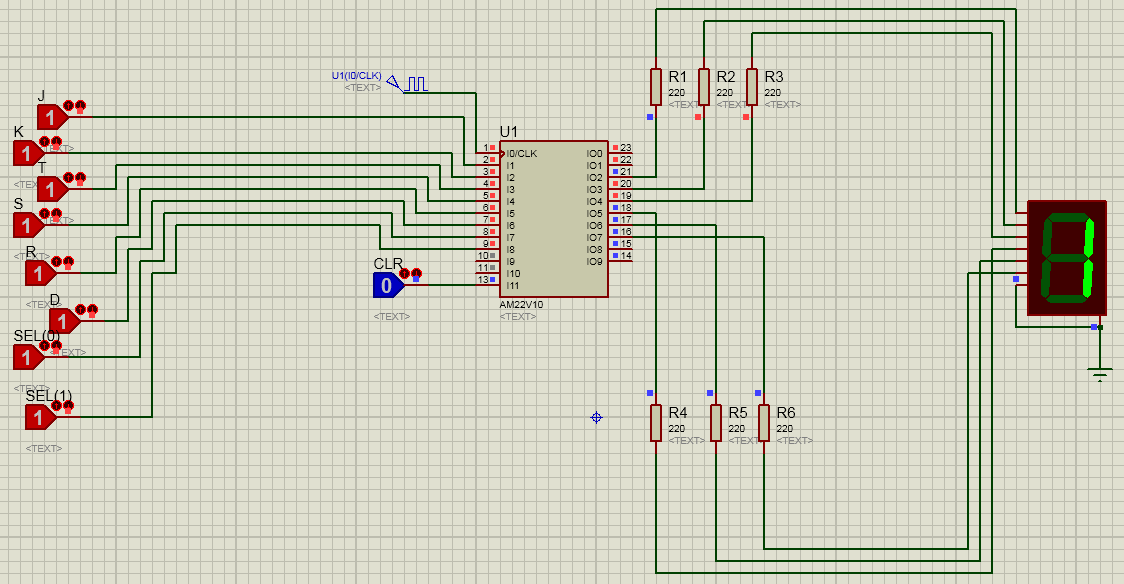












**CUESTIONARIO**

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

**R=** 1 dispositivo PLD 22V10

1. **¿**Cuántos dispositivos de la serie 74xx(TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?

* 1 FF 4013 (FFD)
* 1 NE555
* 1 7404 (NOT)
* 1 7408 (AND)
* 1 7432(OR)
* 1 74ls139 (Multiplexor)
* 1 74ls47 (codificador)

1. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?

R= 4 pines para QJK, QT, QD, QSR

1. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?

R= 16 términos productos y se ocupa un 90% del PLD

1. ¿Por qué aparecen las señales QJK, QT, QD Y QRS entre paréntesis en los pines de salida?

R= Porque son entradas/salidas.

1. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?

R= La señales de entrada funcionan de forma síncrona y de manera asíncrona las salidas y el reloj.

1. ¿Qué puedes concluir de esta práctica?

R= En conclusión, esta práctica nos ayudó a ver el comportamiento de los Flip Flops y como construirlos a partir de 1 solo Flip Flop en este caso tipo D ya que el PLD tiene en su arquitectura solo Flip Flops tipo D.